

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-261451  
 (43)Date of publication of application : 28.10.1988

(51)Int.Cl. G06F 15/16  
 G06F 13/19  
 G06F 15/16

(21)Application number : 62-095259  
 (22)Date of filing : 20.04.1987

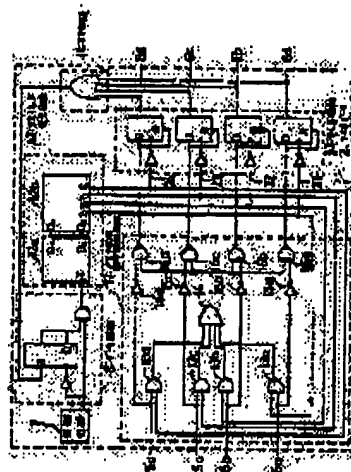
(71)Applicant : MITSUBISHI ELECTRIC CORP  
 (72)Inventor : YASUDA KENICHI

## (54) MULTI-PORT MEMORY CONTROLLER

### (57)Abstract:

**PURPOSE:** To continuously access a memory when a request for using another CPU is not outputted after once accessing the memory from one CPU by providing the titled controller with a prescribed timing generating circuit and a memory use request detecting circuit.

**CONSTITUTION:** The timing generating circuit 12 generates timing signals 21W24 for sequentially testing the existence of a memory use request from the CPU and applies the signals 21W24 to a latch circuit 10. On the other hand, the memory use request detecting circuit 17 checks a using request from the other CPU when one CPU completes the access of the memory, detects the using request from the other CPU and applies a detecting signal to the latch circuit 10. If using request signals 5bW5d from the other CPU are not generated, the CPU connected to a use acknowledge signal 6a can be allowed to access the memory continuously without queuing while turning on/off a using request signal.



## LEGAL STATUS

[Date of request for examination]  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-261451

⑫ Int. Cl.<sup>4</sup>G 06 F 15/16  
13/18  
15/18

識別記号

3 5 0  
3 1 0  
3 4 0

庁内整理番号

6745-5B  
J-8840-5B  
M-6745-5B

⑬ 公開 昭和63年(1988)10月28日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 マルチポートメモリコントローラ

⑮ 特 願 昭62-95259

⑯ 出 願 昭62(1987)4月20日

⑰ 発 明 者 安 田 憲 一 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社  
伊丹製作所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 曾我 道照 外3名

## 明 細 書

## 1. 発明の名称

マルチポートメモリコントローラ

## 2. 特許請求の範囲

(1) マルチプロセッサシステムにおける共通メモリを各CPUからのポーリング方式でアクセスする場合、各CPUからのメモリ使用量の平等性を維持するようにしたマルチポートメモリコントローラにおいて、CPUからのメモリ使用要求の有無をテストする画本タイミंगを発生する出力のオン/オフ制御可能な発振回路と、前記発振回路からの出力によりCPUからの使用要求の有無を逐次テストするタイミंगを発生するタイミंग発生回路と、前記タイミंग発生回路からのタイミंगにより使用要求をラッチし、CPUへ使用承認信号を出力するラッチ回路と、使用承認信号の出力中、画本タイミंग発生オフを前記発振回路に通知するオフ回路と、1つのCPUが前記メモリのアクセスを完了した時、他のCPUからの使用要求をチェックし、前記他のCPUから

の使用要求を検出するメモリ使用要求検出回路とを備え、前記他のCPUからの使用要求が無い場合に関り、前記1つのCPUに前記メモリの使用を引き継ぎ許可するようにしたことを特徴とするマルチポートメモリコントローラ。

(2) タイミंग発生回路は、バイナリカウンタとマルチプレクサとから構成されていることを特徴とする特許請求の範囲第1項記載のマルチポートメモリコントローラ。

(3) メモリ使用要求検出回路は、アンド回路群、オア回路、バッファ回路群およびナンド回路群から構成されていることを特徴とする特許請求の範囲第1項記載のマルチポートメモリコントローラ。

## 3. 発明の詳細な説明

## 【産業上の利用分野】

この発明は、マルチポートメモリコントローラ、特にマルチプロセッサシステムにおける共通メモリのアクセス制御のためのマルチポートメモリコントローラに関するものである。

## 特開昭63-261451(2)

## 【従来の技術】

第2図および第3図は、例えば保護装置等、オーム社発行「データ通信システム入門」、第118頁等に記載された図面制御等で用いられるボーリングセレクション方式をマルチポートメモリの図面制御に用いた従来のマルチポートメモリコントローラのブロック図である。

第2図はマルチポートメモリコントローラの構成を示したマルチCPUシステムの構成の一例を示すブロック図である。図において、(1)はCPU群であつて、CPU<sub>1</sub>、CPU<sub>2</sub>、…、CPU<sub>n</sub>から成る。(2)はマルチポートメモリコントローラであつて、その入力側および出力側がCPU群(1)と使用要求信号線群(5)および使用承認信号線群(6)を介してそれぞれ接続されている。(3)は共通メモリであつて、共有バス(4)を介してCPU群(1)と相互に接続されている。

第3図は従来のボーリング方式による4ポートの場合のマルチポートメモリコントローラの構成図である。図において、(5a)～(5d)は各CPU

から入力される使用要求信号線、(6a)～(6d)は各CPUへの使用承認信号線、(7)はCPUからの使用要求の有無をテストする基本タイミングを発生する発振回路、(8)は基本タイミング信号をオン/オフするためのゲート回路であつて、その入力側が発振回路(7)の出力側と接続されている。(9)はタイミング発生回路であつて、その入力側がゲート回路(8)の出力側と接続されていて、CPUからの使用要求の有無を逐次テストするタイミングを発生する。(10)はラッチ回路であつて、その一方の入力側がタイミング回路(9)と、その他方の入力側が使用要求信号線(5a)～(5d)と、それぞれ接続されていて、使用要求有り状態をラッチし、CPUへ使用承認信号として出力する。(11)はオア回路であつて、その入力側が使用承認信号線(6a)～(6d)と、その出力側がゲート回路(8)と、それぞれ接続されていて、使用承認信号出力中ゲート回路(8)へ基本タイミング発生オフを通知する。

従来のマルチポートメモリコントローラは上記

のように構成され、メモリ(3)を使用する必要が生じた時、そのCPUから使用要求信号線(5)を通してマルチポートメモリコントローラ(2)に対して使用要求が行われる。マルチポートメモリコントローラ(2)はこれに対して、使用要求中でなければゲート回路(8)およびタイミング回路(9)によりある一定のタイミングを各タイミング信号線(21)、(22)、(23)、(24)を通して逐次CPU<sub>1</sub>、CPU<sub>2</sub>、…、CPU<sub>n</sub>の使用要求信号有無のテストを行っており、ラッチ回路(10)により使用要求信号有りを検出すれば、直ちにそれに対応した使用承認信号を使用承認信号線(6)に出力し、オア回路(11)およびゲート回路(8)で使用要求信号がCPU側でオフされるまで、次の使用要求信号有無のテストを中断している。CPU側でアクセスが完了し、使用要求信号がオフにされると、ラッチ回路(10)で対応した使用承認信号をオフにすると共に、オア回路(11)、ゲート回路(8)およびタイミング回路(9)を通して使用要求信号有無のテストを再開するという動

作を行っている。

## 【発明が解決しようとする問題点】

上記のような従来のマルチポートメモリコントローラでは、1つのCPUが共通メモリを一度アクセスすると、再度このメモリをアクセスするには他のCPUからの使用要求の有無に関係なく、最低クロック周波数×CPU数の待ち時間が必要であるという問題点があつた。

この発明は、かかる問題点を解決するためになされたもので、1つのCPUがメモリを一度アクセスした後、他のCPUからの使用要求が無い場合、待ち時間なしに引き続きメモリをアクセスできるマルチポートメモリコントローラを得ることを目的とする。

## 【問題点を解決するための手段】

この発明に係るマルチポートメモリコントローラは、CPUからのメモリ使用要求の有無をテストする基本タイミングを発生する出力のオン/オフ制御可能な発振回路と、前記発振回路からの出力によりCPUからの使用要求の有無を逐次テス

## 特開昭63-261451(3)

トするタイミングを発生するタイミング発生回路と、前記タイミング発生回路からのタイミングにより使用要求をラッチし、CPUへ使用承認信号を出力するラッチ回路と、使用承認信号の出力中、基本タイミング発生オフを前記発生回路に通知するオフ回路と、1つのCPUが前記メモリのアクセスを完了した時、他のCPUからの使用要求をチェックし、前記他のCPUからの使用要求を検出するメモリ使用要求検出回路とを備えたものである。

## 〔作用〕

この発明においては、ある1つのCPUがメモリのアクセス完了時に、メモリ使用要求検出回路により、前記CPU以外のCPUからのメモリ使用要求をチェックし、他のCPUからのメモリ使用要求がある場合は他のCPUのメモリ使用を許可し、もし、他のCPUからのメモリ使用要求が無い場合に限り、引き続きメモリの使用を許可し、待ち時間を短くする。

## 〔実施例〕

～(13d)はメモリ使用要求信号(5a)～(5d)とタイミング信号(21)～(24)を入力とし、4入力オア回路(14)はアンド回路(13a)～(13d)の出力を入力とし、バッファ回路(15a)～(15d)はメモリ使用要求信号(5a)～(5d)を反転し、ナンド回路(16a)～(16d)はオア回路(14)の出力とバッファ回路(15a)～(15d)の出力とを入力とする。

上記のように構成されたマルチポートメモリコントローラにおいて、電源投入時は、すべてのメモリ使用要求信号(5a)～(5d)およびメモリ使用承認信号(6a)～(6d)はオフ(ローレベル)であり、オア回路(11)の出力は「ロー」レベルとなり、発生回路(7)の基本タイミング信号はゲート回路(8)を介してタイミング発生回路(12)に入力され、このタイミング発生回路(12)により発生されるタイミング信号(21)～(24)によりCPUからの使用要求信号の有無のテストを開始するが、ナンド回路(16a)～(16d)の出力も電源投入時、すべて「ハイ」レベルとなるた

第1図はこの発明による4ポートの場合のマルチポートメモリコントローラの一実施例を示す構成図である。図において、タイミング発生回路(12)およびメモリ使用要求検出回路(17)以外は第3図と同一である。タイミング発生回路(12)は4ビットバイナリカウンタ(12a)とマルチプレクサ(12b)により構成され、その入力側がゲート回路(8)の出力側と接続され、その出力側がラッチ回路(10)およびメモリ使用要求検出回路(17)の各入力側と接続されていて、ゲート回路(8)の出力によりCPUからのメモリ使用要求の有無を過次テストするタイミング信号(21)～(24)を発生する。メモリ使用要求検出回路(17)は、アンド回路(13a)～(13d)、4入力オア回路(14)、バッファ回路(15a)～(15d)およびナンド回路(16a)～(16d)により構成され、その入力側がメモリ使用要求信号線群(5a)～(5d)およびタイミング信号線群(21)～(24)と、その出力側がラッチ回路(10)の入力側と、それぞれ接続されている。また、アンド回路(13a)

め、使用要求信号(5a)の有無に関係なく、使用承認信号(6a)を「ハイ」レベルにして、使用要求信号の有無のテストを中断する。従って、使用承認信号(6a)に接続されたCPUは他のCPUからの使用要求信号(5b)～(5d)がなければ、待ち時間なしに使用要求信号(5a)をオン/オフしながら連続してメモリのアクセスが可能である。いま、他のCPUからの使用要求信号(5b)～(5d)のいずれか1つが「ハイ」レベルとなり、他のCPUからの使用要求があった場合、使用要求信号(5a)が「ロー」レベル状態(CPU側でアクセスが完了し、アイドル状態)でナンド回路(16a)の出力が「ロー」レベルとなり、ラッチ回路(10)がリセットされ、オア回路(11)の出力が「ロー」レベルとなり、CPUからの使用要求信号の有無のテストを再開し、使用要求のあったCPUに対応した(ナンド回路(16b)～(16d)の出力が「ハイ」レベルになっているため、ラッチ回路(10)でラッチされる。)使用承認信号(6b)～(6d)を出力す

## 特開昭63-261451 (4)

る。

以後、使用承認信号を受信しているCPU以外からの使用要求をメモリ使用要求検出回路(1,7)で検出し、検出時のみ前記使用要求の有無のテストを順次繰り返す動作を行う。

## 【発明の効果】

この発明は以上説明したとおり、CPUからのメモリ使用要求の有無をテストする基本タイミングを発生する出力のオン/オフ制御可能な発振回路と、前記発振回路からの出力によりCPUからの使用要求の有無を逐次テストするタイミングを発生するタイミング発生回路と、前記タイミング発生回路からのタイミングにより使用要求をラッチし、CPUへ使用承認信号を出力するラッチ回路と、使用承認信号の出力中、基本タイミング発生オフを前記発振回路に通知するオア回路と、1つのCPUが前記メモリのアクセスを完了した時、他のCPUからの使用要求をチェックし、前記他のCPUからの使用要求を検出するメモリ使用要求検出回路とを備えているので、ある1つのCPU

Uがメモリを一度アクセスした後、他のCPUの使用要求が無い場合、待ち時間なしに引き続きメモリをアクセスできるため、待ち時間が短くなる効果がある。

## 4. 図面の簡単な説明

第1図はこの発明の一実施例の構成図、第2図はマルチプロセッサシステム構成の一例を示す図、第3図は従来のマルチポートメモリコントローラの構成図である。

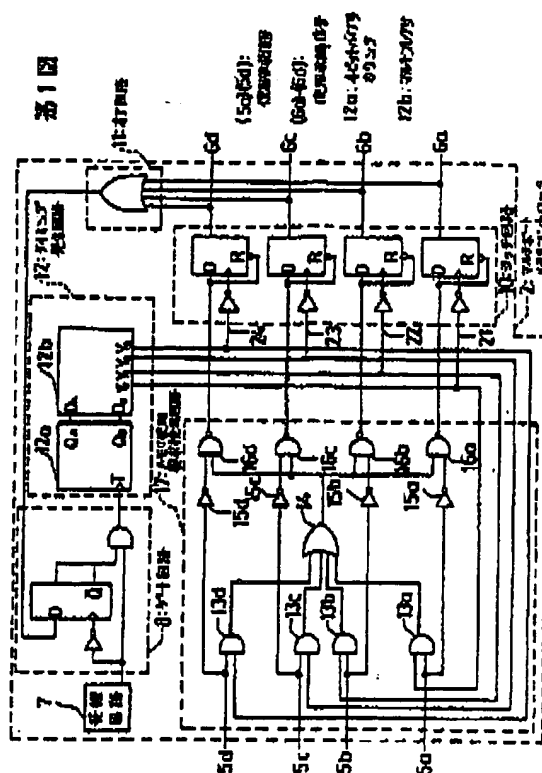
図において、(2)・・・マルチポートメモリコントローラ、(5a)～(5d)・・・使用要求信号群、(6a)～(6d)・・・使用承認信号群、(7)・・・発振回路、(8)・・・ゲート回路、(10)・・・ラッチ回路、(11)・・・オア回路、(12)・・・タイミング発生回路、(12a)・・・4ビットバイナリカウンタ、(12b)・・・マルチプレクサ、(13a)～(13d)・・・AND回路、(14)・・・4入力オア回路、(15a)～(15d)・・・バッファ回路、(16a)～(16d)・・・ナンド回路、(17)・・・メモリ使用要求検出回路、(21)～(24)・・・タイミング信号群である。

る。

なお、各図中同一符号は同一又は相当部分を示す。

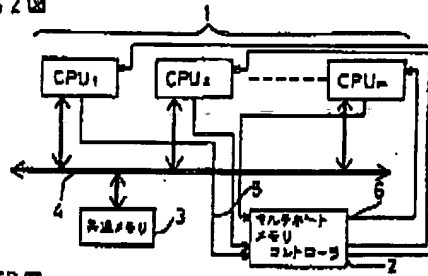
代理人

特許事務所

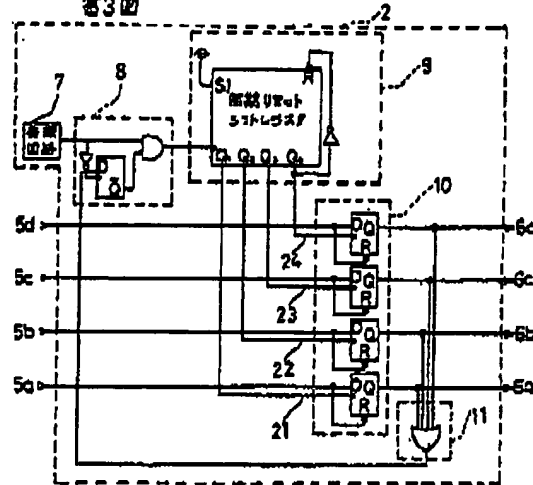


特開昭63-261451 (B)

第2図



第3図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**